



描述

AT4931 是一款三相无刷直流电机预驱动芯片，能够在宽电压范围内驱动 N 沟道功率 MOSFET，且电机电源最高可支持到 30V。换相逻辑由三个相位差为 120° 的霍尔元件确定。

AT4931 其它特性包括：具有固定关断时间的脉宽调制 (PWM) 电流控制；延迟时间可调的堵转保护；热关断保护；过压监控和同步整流。内置的同步整流电路在电流衰减时开启对应的 MOSFET，低导通阻抗的 MOSFET 将体二极管短接，从而降低功耗。在电机线圈续流过程中，当电源电压被充到高于过压保护阈值时，同步整流功能被禁用。

AT4931 提供使能、方向和刹车输入控制管脚，通过在使能信号上做 PWM 斩波实现电流控制。霍尔转换时，逻辑输出信号 FG1 和 FG2 随之切换状态，能够将精确的速度输出数据提供给微控制器或速度控制电路。

工作温度范围为 -20℃ 到 105℃。AT4931 提供 QFN28 (5mm×5mm) 贴片封装，并带有裸露散热焊盘，能有效改善散热性能。该封装为无铅封装，引线框采用 100% 雾锡电镀。

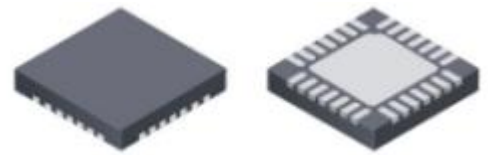
应用

- 电机一体化产品
- 泵
- 电动工具
- 大型家电
- 监控云台

特点

- 驱动6个N沟道MOSFET
- 同步整流实现低功耗
- PWM限流
- 霍尔元件输入
- FG输出
- 待机模式
- 死区时间保护
- 欠压锁定和热关断
- 过压保护
- 堵转检测保护

封装形式

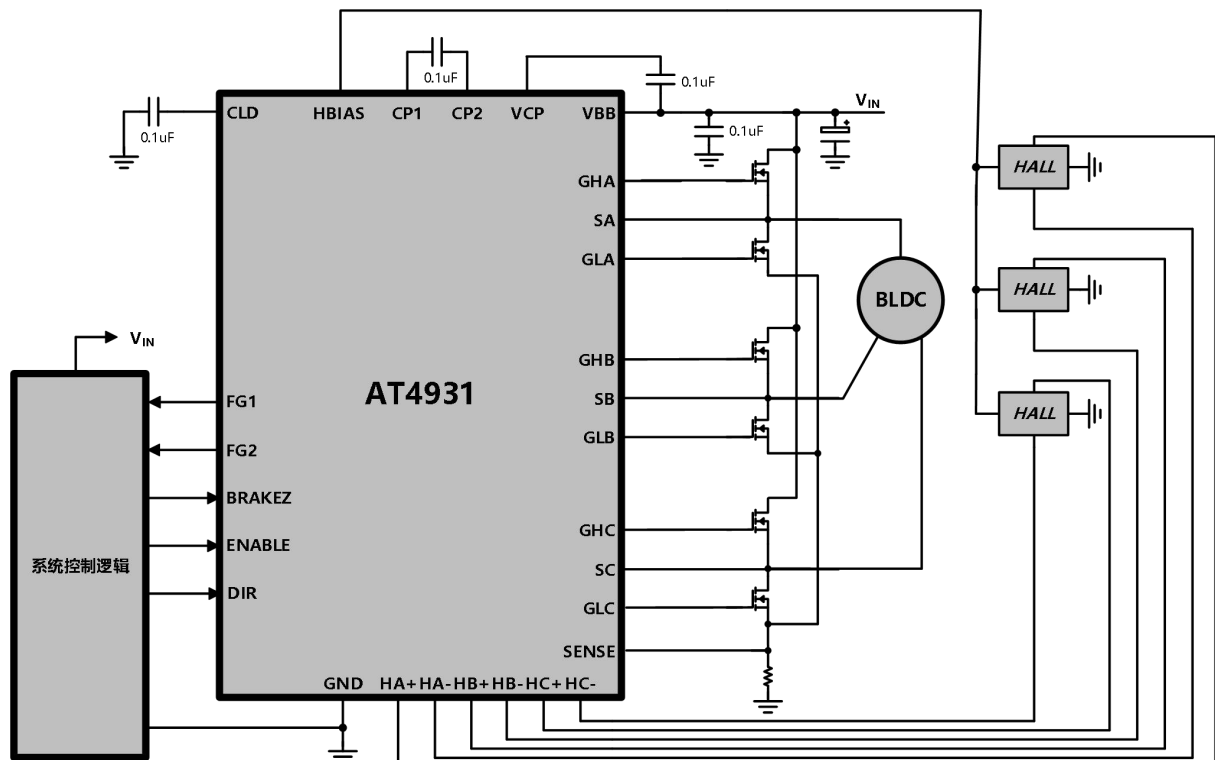


QFN28

订购信息

产品型号	封装形式	包装信息
AT4931	QFN28	卷带，5000颗/盘

典型应用原理图





极限参数 at Ta = 25°C

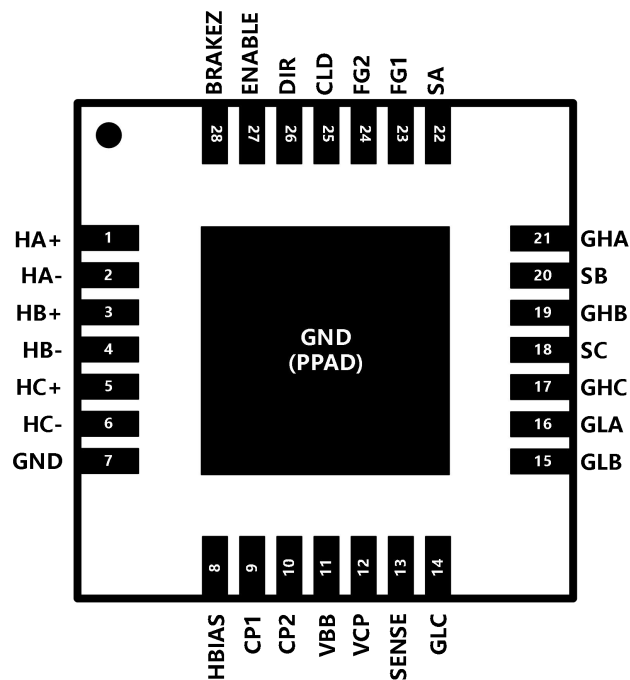
Parameter	Symbol	Conditions	Ratings	Unit
功率电源电压	V _{BB}		38	V
电机相输出	S _X	t _w < 500 ns	-3	V
霍尔输入电压	V _{HX}	DC	-0.3 to 7	V
逻辑输入电压	V _{IN}		-0.3 to 7	V
工作环境温度	T _A	Range M	-20 to 105	°C
最大结温	T _{J(max)}		150	°C
储藏温度	T _{stg}		-55 to 150	°C

热学特性

Characteristic	Symbol	Test Conditions	Typ	Units
封装热阻, 连接到环境	R _{θJA}	JEDEC标准4层PCB	32	°C/W
封装热阻, 连接到裸焊盘	R _{θJP}		2	°C/W

管脚定义

TOP VIEW

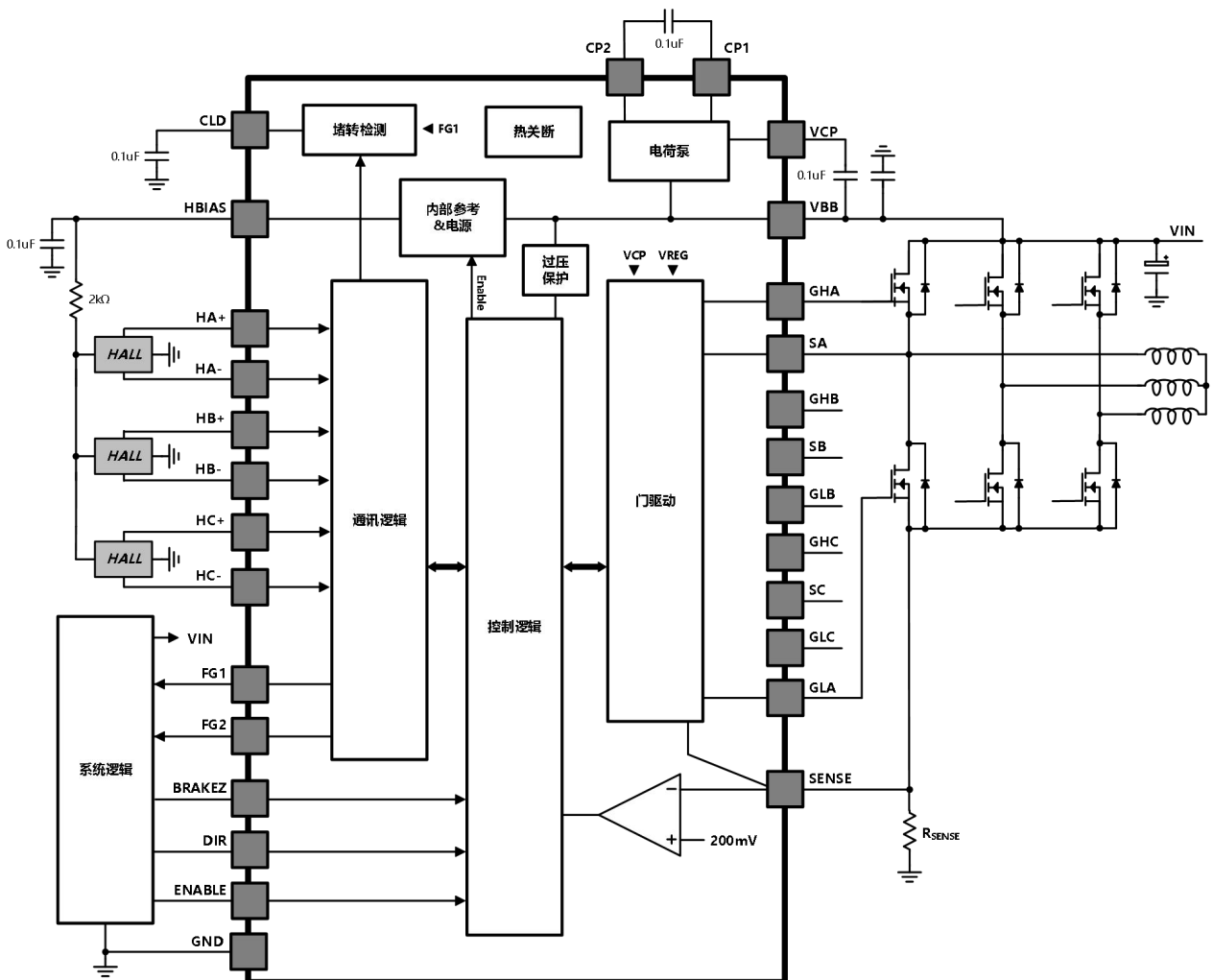




管脚列表

序号	管脚名	描述	序号	管脚名	描述
1	HA+	霍尔输入 A	15	GLB	低边栅驱动 B
2	HA-	霍尔输入 A	16	GLA	低边栅驱动 A
3	HB+	霍尔输入 B	17	GHC	高边栅驱动 C
4	HB-	霍尔输入 B	18	SC	高边源连接 C
5	HC+	霍尔输入 C	19	GHB	高边栅驱动 B
6	HC-	霍尔输入 C	20	SB	高边源连接 B
7	GND	地	21	GHA	高边栅驱动 A
8	HBIAS	霍尔偏置电源输出	22	SA	高边源连接 A
9	CP1	电荷泵电容管脚	23	FG1	FG1 速度控制输出 (3Φ输入)
10	CP2	电荷泵电容管脚	24	FG2	FG2 速度控制输出 (ΦA 输入)
11	VBB	电源电压	25	CLD	堵转检测计时电容
12	VCP	电荷泵储能电容管脚	26	DIR	逻辑输入 - 电机方向控制
13	SENSE	检流电阻管脚	27	ENABLE	逻辑输入 - 外部 PWM 控制
14	GLC	低边栅驱动 C	28	BRAKEZ	逻辑输入 - 刹车功能(低电平有效)

功能模块框图





电气特性 at Ta = 25°C, VBB= 24 V

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
POWER SUPPLY						
功率电源电压	V _{BB}	工作电压	8		V _{BBov}	V
功率电源电流	I _{BB}	f _{PWM} < 30 kHz, C _{LOAD} = 1000pF		3	5	mA
		电荷泵开启, 输出关闭, 待机模式		2	3	mA
霍尔偏置电压	V _{HBIAS}	0 mA ≤ I _{HBIAS} ≤ 24 mA	6	6.3	6.6	V
霍尔偏置限流	I _{HBIASlm}		30			mA
LOGIC-LEVEL INPUTS						
逻辑输入低电平	V _{IL}				0.8	V
逻辑输入高电平	V _{IH}		2			V
逻辑输入电流_低电平	I _{IL}	V _{IN} = 0.8 V	-1		1	uA
逻辑输入电流_高电平	I _{IH}	V _{IN} = 2 V	-1		1	uA
输入管脚毛刺抑制持续时间	t _{GLITCH}	ENB 脚	350	500	650	ns
		DIR, BRAKEZ 脚	700	1000	1300	ns
ENB 待机脉冲传输延时	t _{dENB}	至输出关闭	2.1	3	3.9	ms
HBIAS 唤醒延迟, 待机模式	t _{dHBIAS}	C _{HBIAS} = 0.1uF		15	25	us
GATE DRIVE						
高边栅极驱动输出	V _{GS(H)}	与 V _{BB} 相关。I _{GATE} = 2 mA	5.5			V
低边栅极驱动输出	V _{GS(L)}	I _{GATE} = 2 mA	5.5			V
栅极驱动电流(源)	I _{GATE}	GH = GL = 4 V	20	30		mA
栅极驱动下拉电阻	R _{GATE}			10		Ω
死区时间	t _{dead}		700	1000	1300	ns
限流输入阈值	V _{REF}		180	200	220	mV
固定关断时间	t _{OFF}		18	25	37	us
PROTECTION CIRCUITS						
VBB 欠压锁定	V _{BBUV}	V _{BB} 上升	6.2	7	7.85	V
VBB 欠压锁定迟滞	V _{BBUVhys}		0.4	0.75	1	V
VCP 欠压锁定	V _{CPUV}	与 V _{BB} 相关	4.6		6	V

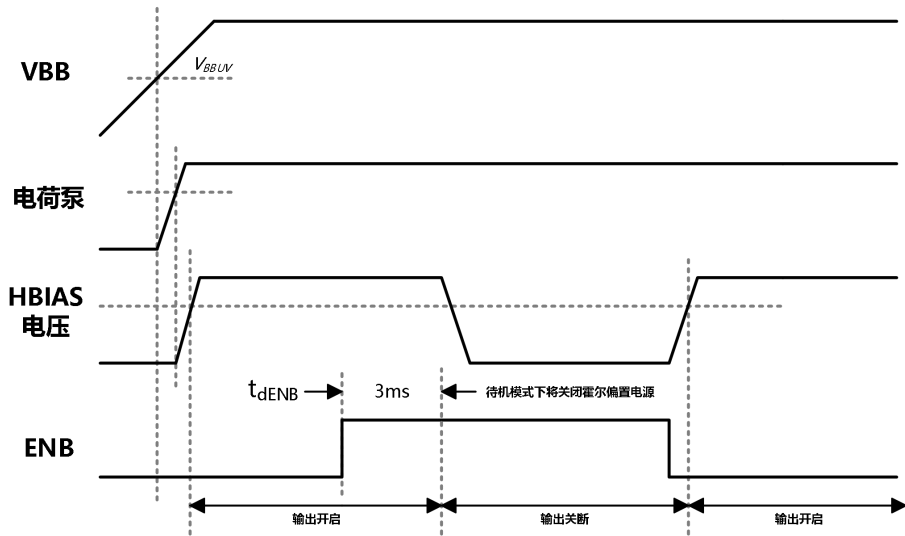
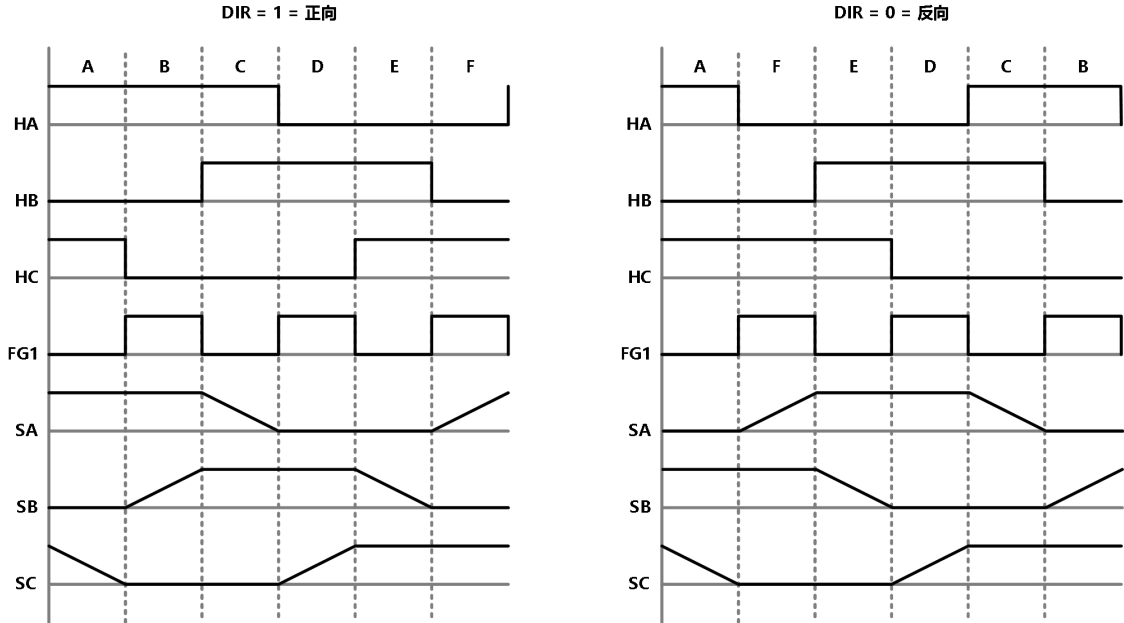


堵转检测时间	t_{lock}	$C = 0.1\mu F$	1.5	2	2.5	s
VBB 过压阈值	V_{BBOV}	V_{BB} 上升	30	33	37.5	V
热关断温度	T_{JTSD}		150	160	175	°C
热关断迟滞	$T_{JTSDhys}$		14	15	20	°C
HALL LOGIC						
霍尔输入电流	I_{HALL}	$V_{IN} = 0.2$ to 3.5 V	-1	0	1	μA
共模电压输入范围	V_{CMR}		0.2		3.5	V
AC 输入电压范围	V_{HALL}		60			mV_{p-p}
霍尔阈值	V_{th}	转换中霍尔输入差值		+10,-10		mV
霍尔阈值迟滞	V_{HYS}	$T_J = 25^\circ C$	10	20	30	mV
		$T_J = -20^\circ C$ to $125^\circ C$	5	20	40	mV
脉冲滤波持续时间	t_{pulse}			2		μs
FG						
FG 输出饱和电压	$V_{FG(sat)}$	$I_{FG} = 2$ mA			0.5	V
FG 漏电流	I_{FGlk}	$V_{FG} = 5$ V			1	μA

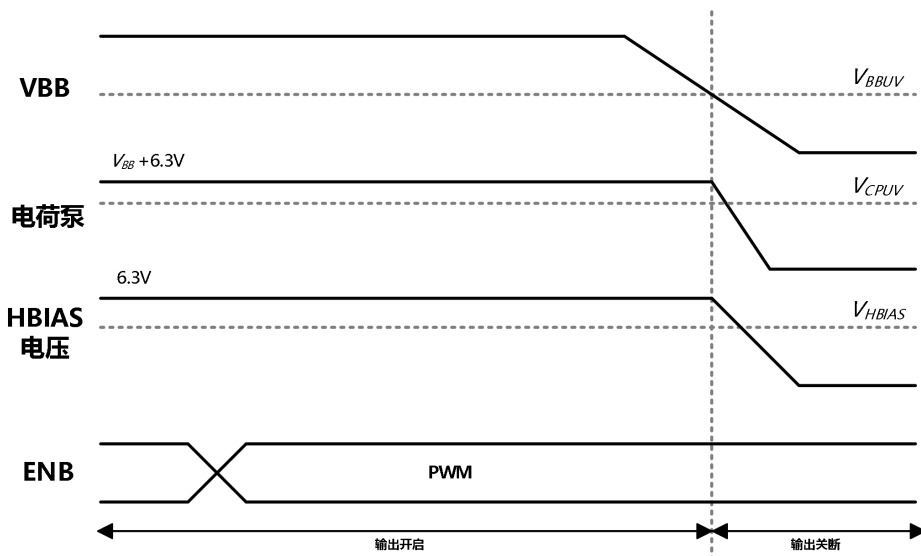
逻辑状态表 (见如下时序表) X = 不考虑, Z = 高阻抗

条件	输入						所得预驱动输出						电机输出		
	HA	HB	HC	BRAKEZ	ENB		GHA	GLA	GHB	GLB	GHC	GLC	A	B	C
DIR=1 (正向)	A	+	-	+	HI	LO	HI	LO	LO	HI	LO	LO	HI	LO	Z
	B	+	-	-	HI	LO	HI	LO	LO	LO	LO	HI	HI	Z	LO
	C	+	+	-	HI	LO	LO	LO	HI	LO	LO	HI	Z	HI	LO
	D	-	+	-	HI	LO	LO	HI	HI	LO	LO	LO	LO	HI	Z
	E	-	+	+	HI	LO	LO	HI	LO	LO	HI	LO	LO	Z	HI
	F	-	-	+	HI	LO	LO	LO	LO	HI	HI	LO	Z	LO	HI
DIR=0 (反向)	A	+	-	+	HI	LO	LO	HI	HI	LO	LO	LO	LO	HI	Z
	F	-	-	+	HI	LO	LO	LO	HI	LO	LO	HI	Z	HI	LO
	E	-	+	+	HI	LO	HI	LO	LO	LO	LO	HI	HI	Z	LO
	D	-	+	-	HI	LO	HI	LO	LO	HI	LO	LO	HI	LO	Z
	C	+	+	-	HI	LO	LO	LO	LO	HI	HI	LO	Z	LO	HI
	B	+	-	-	HI	LO	LO	HI	LO	LO	HI	LO	LO	Z	HI
错误*		+	+	+	HI	X	LO	LO	LO	LO	LO	LO	Z	Z	Z
错误*		-	-	-	HI	X	LO	LO	LO	LO	LO	LO	Z	Z	Z
刹车*		X	X	X	LO	X	LO	HI	LO	HI	LO	HI	LO	LO	LO

*不考虑 DIR



上电及待机模式时序图表



下电及待机模式时序图表



功能描述

电流调节

通过内置的具有固定关断时间的 PWM 控制电路可调节负载电流。当全桥的输出开启时，电机线圈中的电流持续上升直至达到一定值 I_{TRIP} ，由下式给出：

$$I_{TRIP} = 200\text{mV} / R_{SENSE}$$

当电流达到该值，检流比较器重置源使能锁存器，关断源驱动器。固定关断时间内，感性负载使电流续流。

使能逻辑

使能输入管脚 ENB 可以外接 PWM 信号。ENB 低电平将开启选定的沉-源对。ENB 高电平将关断相应的驱动器，负载电流开始衰减。如果将 ENB 保持在低电平，电流将持续上升直至到达内部电流控制电路的设定值。PWM 频率一般在 20kHz 到 30kHz 的范围内。如果 ENB 上高电平脉冲的宽度超过了 3ms，门输出将被关闭。使能逻辑总结如下表：

ENB脚设置	输出	输出状态
0	开启	驱动
1	源斩波	带同步整流的慢衰减
1 持续大于3ms (典型值)	关断	关闭

使能控制逻辑

固定关断时间

AT4931 的固定关断时间典型值设定为 25us。

PWM 屏蔽计时器

由于钳位二极管的反向恢复电流，以及和负载相连的分布电容在开关瞬态的充放电，当一个源驱动器开启时，会出现一个电流尖峰。为避免这一电流尖峰错误重置源使能锁存器，检流比较器将被屏蔽。屏蔽计时器在关断时间计数器计数完成后开始运行，实现屏蔽功能。屏蔽计时器将在 ENB 斩波或 DIR 翻转时被重置。使用外部 PWM 控制时，每次 DIR 翻转或 ENB 开启都将触发屏蔽功能。屏蔽持续时间固定在 1.5us。

同步整流

当一个 PWM-off 循环被 ENB 上的斩波命令或内部固定关断时间周期触发时，负载电流会续流。AT4931 具有同步整流特性，能在电流衰减期间开启对应的 MOSFET，提供低阻抗路径，短路驱动器 MOSFET 的体二极管，显著降低功耗，同时无需外置肖特基二极管。

刹车模式

BRAKEZ 管脚上的逻辑低会激活刹车模式，逻辑高则可正常运转。刹车时将开启全部三个低边驱动器，有效短路电机的 BEMF。BRAKEZ 输入优先于 ENB 输入和堵转检测功能。

需要重点注意的是，内部 PWM 电流控制电路并不限制刹车时的电流，因为电流并不流过检流电阻。最大电流可近似由 V_{BEMF} / R_{LOAD} 得出。确保即使在高速高惯性负载的最坏刹车情况下也不超过 AT4931 的极限参数。

HBIAS 功能

该功能提供一个 6.3V 的电源，电流可达 30mA。该电源给芯片的逻辑部分和外部霍尔元件供电。



待机模式

为避免外部霍尔元件消耗电流，待机模式下将关闭 HBIAS 电压输出。待机模式的触发方式是将 ENB 保持高电平超过 3ms。要注意刹车模式优先于待机模式，所以要进入待机模式，需将 BRAKEZ 管脚拉高。

电荷泵

内置电荷泵用以产生驱动高边 MOSFET 的大于 VBB 的电压。芯片内部对 VCP 管脚的电压进行监测，当出现错误状况时，会关闭器件输出。

故障停机

在结温过高或 VCP、VBB 电压过低等故障事件出现时，器件输出将被关闭直至故障条件消失。上电时欠压锁定电路将禁用驱动器。

过压保护

VBB 受到监测以确定是否因电机续流到电源线网而导致出现危险电压。当电压超过 V_{BBOV} 时，同步整流功能将被关闭。

过温保护

当结温超过约 160°C 时，热关断功能将关闭输出直至内部温度降低 15°C 的迟滞以下。

霍尔状态报告

FG1 管脚为开漏输出，每当有一个外部霍尔元件转变时，它也改变状态。FG2 也是开漏输出，在每次 HAX 转变时改变状态。

堵转检测功能

在如下两种状况时，芯片会评估转子堵转状况：

- FG1 信号非连续改变
- 未遵循正确的换相顺序。电机可能堵转，在两个特定霍尔器件状态间切换。

这些故障状态都被允许持续一段时间， t_{lock} 。 t_{lock} 由接到 CLD 管脚的电容设置。CLD 产生一个频率与容值线性相关的三角波(峰峰值 1.67V)。 t_{lock} 被定义为该三角波的 127 个周期，或：

$$t_{lock} = C_{LD} \times 20s/\mu F$$

在等待时间 t_{lock} 过后，输出将被关断，故障被锁存。故障状态能被下列任何一个事件清除：

- DIR 管脚电平上升沿或下降沿
- 超过 VBB UVLO 阈值(在上电周期中)
- ENB 管脚保持高电平超过 $t_{lock} / 2$

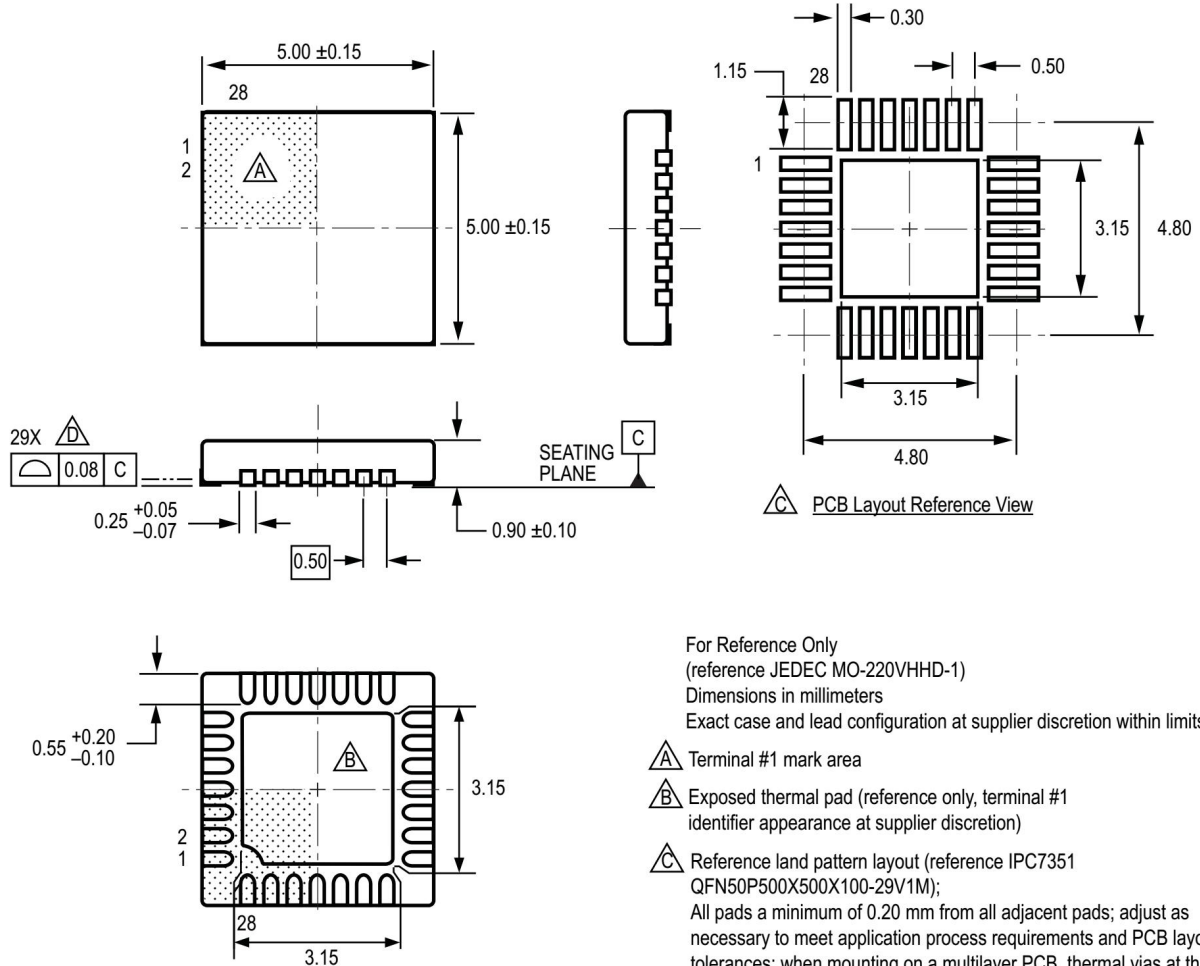
通过将 CLD 接地，可关闭堵转检测功能。

当 AT4931 处于刹车模式时，堵转检测计数器关闭。



封装信息

QFN28 (5mm*5mm)



For Reference Only
 (reference JEDEC MO-220VHHD-1)
 Dimensions in millimeters
 Exact case and lead configuration at supplier discretion within limits shown

- △ Terminal #1 mark area
- △ Exposed thermal pad (reference only, terminal #1 identifier appearance at supplier discretion)
- △ Reference land pattern layout (reference IPC7351 QFN50P500X500X100-29V1M); All pads a minimum of 0.20 mm from all adjacent pads; adjust as necessary to meet application process requirements and PCB layout tolerances; when mounting on a multilayer PCB, thermal vias at the exposed thermal pad land can improve thermal dissipation (reference EIA/JEDEC Standard JESD51-5)
- △ Coplanarity includes exposed thermal pad and terminals