

收音机用锁相环电路 —— CSC9256

概述

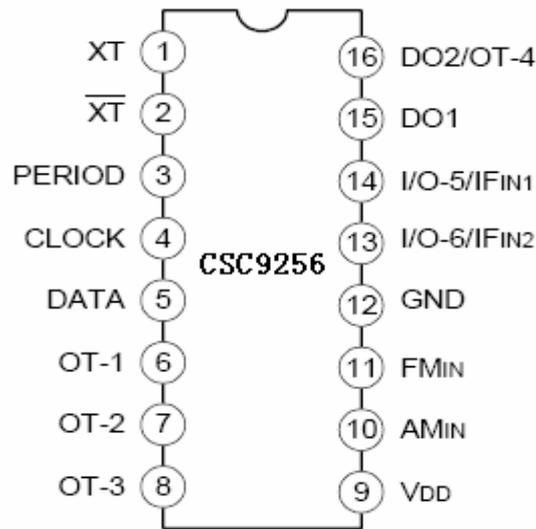
CSC9256是一个数字调谐系统锁相环电路，内置2个预分频系数。CSC9256的所有功能都是通过3根串行总线控制，适用于高性能的数字调谐系统。

主要特点

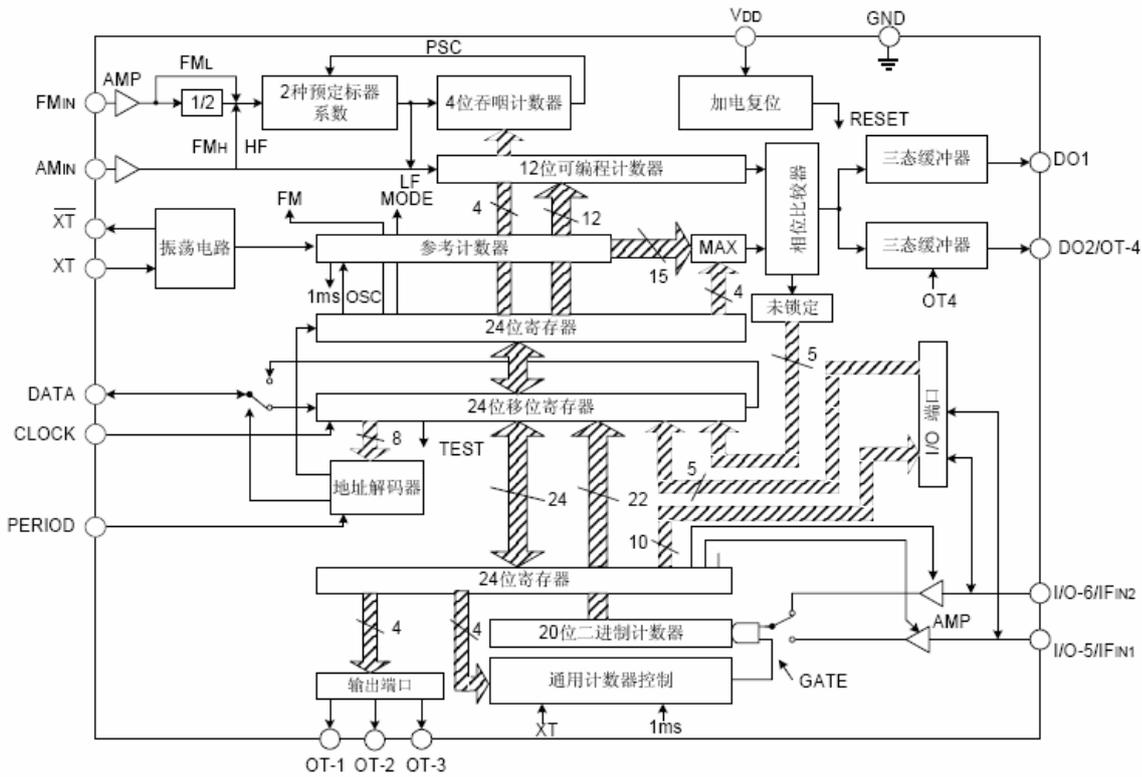
- * 优化高保真调谐器和汽车音响的数字调谐系统结构
- * 内置预定分频值。当输入FMIN信号是在输入频率为30~150 MHz下操作，输入AMIN信号时，在频率0.5~40MHz下操作。
- * 16位可编程计数器，并行输出相位比较器，晶体振荡器和参考计数器。
- * 可以使用3.6MHz，4.5MHz，7.2MHz或10.8MHz晶体振荡器。
- * 15种可供参考的频率。(使用4.5M的晶振)
- * 内置20位通用计数器，用来测量中频频率(IFIN1和IFIN2)。
- * 锁相环误差检测精度高($\pm 0.55 \sim \pm 7.15 \mu s$)。
- * 多个通用I/O管脚可以用作外设电路控制。
- * 3个N沟道开漏输出端口（OFF耐压：12V），可用作控制信号的输出。
- * 待机模式功能（关闭FM、AM和IF放大器），节约电流消耗。
- * 所有功能由3根串行总线控制。

CMOS 结构， 操作电源范围： $V_{DD}=5.0 \pm 0.5V$

管脚排列图



内部框图



极限参数 (Ta=25°C)

参数	符号	参数值	单位
工作电压	V _{DD}	-0.3~6.0	V
输入电压	V _{IN}	-0.3~V _{DD} +0.3	V
N 沟道开漏关闭耐压	V _{OFF}	13	V
功率消耗	P _D	300 (200)	mW
工作温度	T _{opr}	-40~85	°C
储存温度	T _{stg}	-65~150	°C

电气特性 (除非特别说明Ta=-40~85°C V_{DD}=4.5~5.58V)

参数	符号	最小	典型	最大	单位	测试条件
工作电压	V _{DD1}	4.5	5.0	5.5	V	PLL 操作 (正常操作)
工作电流	I _{DD1}	—	7	15	mA	V _{DD} =5V, XT=10.8MHz, FM=150MHz
待机状态						
晶振电源	V _{DD2}	4.0	5.0	5.5	V	PLL OFF
工作电流	I _{DD2}	—	0.8	1.5	mA	V _{DD} =5V, XT=10.8MHz, PLL OFF
工作电流	I _{DD3}	—	120	240	uA	V _{DD} =5V, XT 停止, PLL OFF
工作频率范围						
晶振频率	f _{XT}	3.6	—	10.8	MHz	连接晶振到 XT、XTN
FM _{IN} (FM _H , FM _L)	f _{FM}	30	—	130	MHz	FM _H , FM _L 模式, V _{IN} =0.2V _{P-P}

FM_{IN} (FM_L)	f_{FML}	30	—	150	MHz	FM_L 模式, $V_{IN}=0.3V_{P-P}$	
AM_{IN} (HF)	f_{HF}	1	—	40	MHz	HF 模式, $V_{IN}=0.2V_{P-P}$	
AM_{IN} (LF)	f_{LF}	0.5	—	20	MHz	LF 模式, $V_{IN}=0.2V_{P-P}$	
IF_{IN1} , IF_{IN2}	f_{IF}	0.1	—	15	MHz	$V_{IN}=0.2V_{P-P}$	
输入增益范围							
FM_{IN} (FM_H , FM_L)	V_{FM}	0.2	—	$V_{DD}-0.5$	V_{P-P}	FM_H , FM_L 模式, $F_{IN}=30-130MHz$	
FM_{IN} (FM_L)	V_{FML}	0.3	—	$V_{DD}-0.5$	V_{P-P}	FM_L 模式, $F_{IN}=30-150MHz$	
AM_{IN} (HF)	V_{HF}	0.2	—	$V_{DD}-0.5$	V_{P-P}	HF 模式, $F_{IN}=1-40MHz$	
AM_{IN} (LF)	V_{LF}	0.2	—	$V_{DD}-0.5$	V_{P-P}	LF 模式, $F_{IN}=0.5-20MHz$	
IF_{IN1} , IF_{IN2}	V_{IF}	0.2	—	$V_{DD}-0.5$	V_{P-P}	$F_{IN}=0.1-15MHz$	
OT1-OT4N 管开漏输出							
输出电流 (低电平)	I_{OL1}	5	10	—	mA	$V_{OL}=10V$	
反馈电流	I_{OFF}	—	—	2.0	μA	$V_{OFF}=12V$	
输入电压	高电平	V_{IH1}	$0.7V_{DD}$	—	V_{DD}	V	
	低电平	V_{IL1}	0	—	$0.3V_{DD}$	V	
输入电流	高电平	I_{IH}	—	—	2.0	μA	$V_{IH}=5V$
	低电平	I_{IL}	—	—	-2.0	μA	$V_{IL}=0V$
输出电流	高电平	I_{OH4}	-0.2	-4.0	—	mA	$V_{OH}=4.0V$ (SCIN 除外)
	低电平	I_{OL4}	2.0	4.0	—	mA	$V_{OL}=1.0V$ (SCIN 除外)
PERIOD, CLOCK, DATA							
输入电压	高电平	V_{IH2}	$0.8V_{DD}$	—	V_{DD}	V	
	低电平	V_{IL2}	0	—	$0.2V_{DD}$	V	
输入电流	高电平	I_{IH}	—	—	2.0	μA	$V_{IH}=5V$
	低电平	I_{IL}	—	—	-2.0	μA	$V_{IL}=0V$
输出电流	高电平	I_{OH5}	-0.1	-3.0	—	mA	$V_{OH}=4.0V$ (DATA)
	低电平	I_{OL5}	0.1	3.0	—	mA	$V_{OL}=1.0V$ (DATA)
	低电平	I_{OL3}	2.0	4.0	—	mA	$V_{OL}=1.0V$
DO1, DO2							
输入电流	高电平	I_{OH3}	-2.0	-4.0	—	mA	$V_{OH}=4.0V$
	低电平	I_{OL3}	2.0	4.0	—	mA	$V_{OL}=1.0V$
三态引导电流	I_{TL}	—	—	± 1.0	μA	$V_{TLH}=5V$, $V_{TLL}=0V$	
XTN							
输出电流	高电平	I_{OH2}	-0.1	-0.3	—	mA	$V_{OH}=4.0V$
	低电平	I_{OL2}	0.1	0.3	—	mA	$V_{OL}=1.0V$
输入反馈电阻							
输入反馈电阻		R_{f1}	350	700	1400	K Ω	FM_{IN} , AM_{IN} , IF_{IN} ($T_a=25^\circ C$)
		R_{f2}	500	1000	4000	K Ω	XT-XTN ($T_a=25^\circ C$)

管脚描述

序号	符号	管脚名称	功能描述
1	XT	晶体振荡器	连接 3.6MHz, 4.5MHz, 7.2MHz 或 10.8MHz 的晶体振荡器, 用来提供参考频率和内部时钟。
2	/XT		
3	PERIOD	周期信号输入	串行 I/O 端口。这些管脚用来传输数据, 和通过控制器数据设置分频和分频模式, 控制通用计数器和通用输入/输出端口。
4	CLOCK	时钟信号输入	
5	DATA	串行数据输入/输出	
6	OT-1	通用输出端口	N 沟道开漏端口管脚, 用来控制信号输出。这些管脚在电源加电时设置为关闭状态。
7	OT-2		
10	AM _{IN}	可编程计数器输入	这些管脚通过耦合电容输入 FM 和 AM 频带本振信号。FMIN 和 AMIN 在低幅下操作。
11	FM _{IN}		
13	I/O6/IF _{IN2}	通用 I/O 端口/通用计数器频率测量输入	通用 I/O 端口输入/输出管脚。可以转换为输入管脚, 用来测量通用计数器频率。频率测量功能即测量中频频率 (IF)。这些管脚的主要特点是内置放大器。数据通过电容耦合输入。FMIN 和 AMIN 在低幅下操作。(注:) 电源加电时管脚设置为输入模式。
14	I/O5/IF _{IN1}		
15	DO1	相位比较器输出 (通用输出端口)	这些管脚是相位比较器的三态输出。DO1 和 DO2 并行输出。DO2 也可以转换为通用输出端口。
16	DO2/OT-4		
12	GND	电源管脚	5.0V±10%
0	V _{CC}		

功能描述

串行I/O 端口

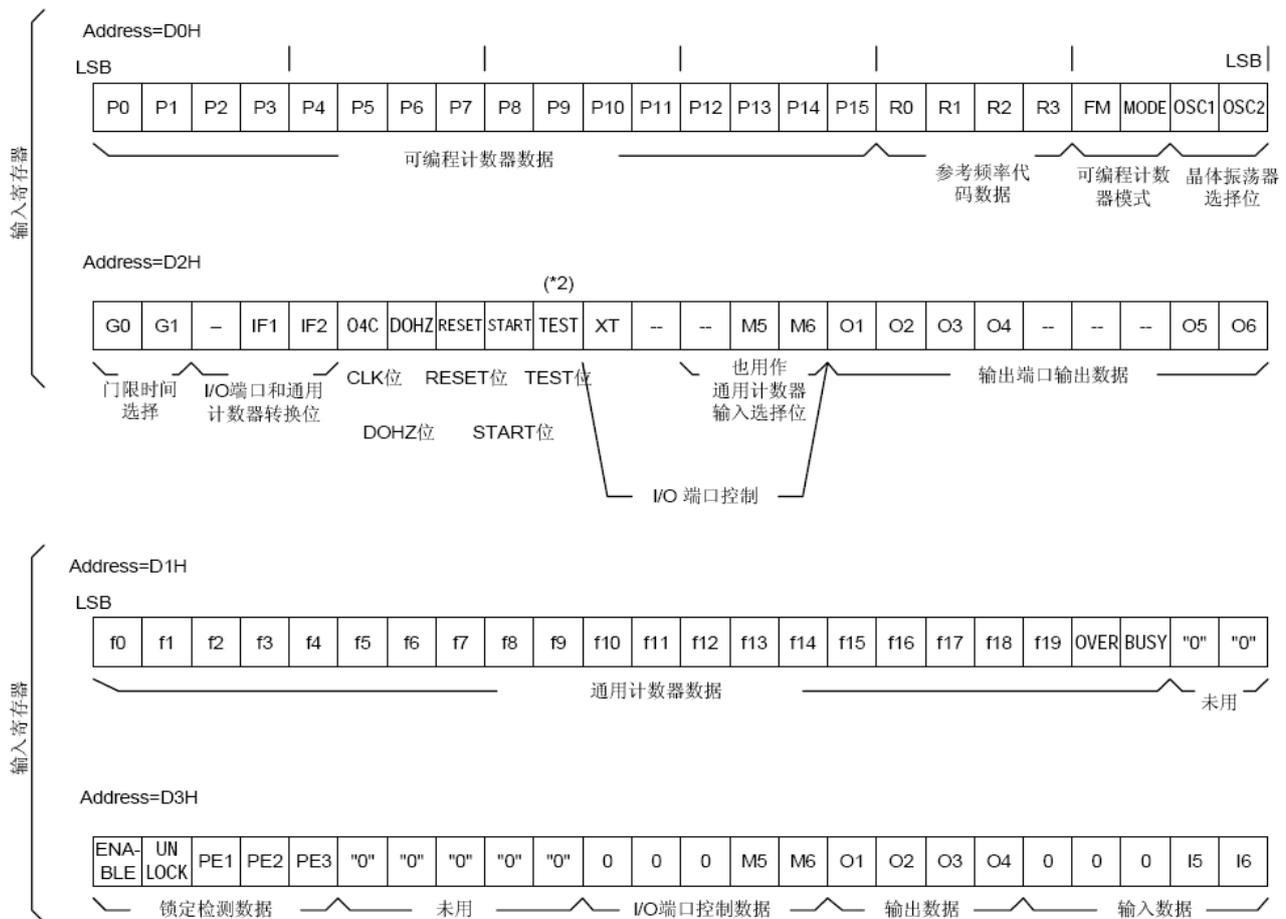
如框图所示, 所有的功能都是通过设置 2 个 24 位的寄存器来控制的。这些寄存器的每一位数据是通过控制器和 DATA,CLOCK PERIOD 引脚之间的串行口传送的, 每个串行传输是由 32 位组成, 8 位地址位和 24 位数据位。

既然所有的功能都是由寄存器单元控制的, 下面就详细介绍每个寄存器和 8 位地址位。这些寄存器是由 24 位组成, 并可以通过 8 位地址选择, 每个寄存器的地址分配如下:

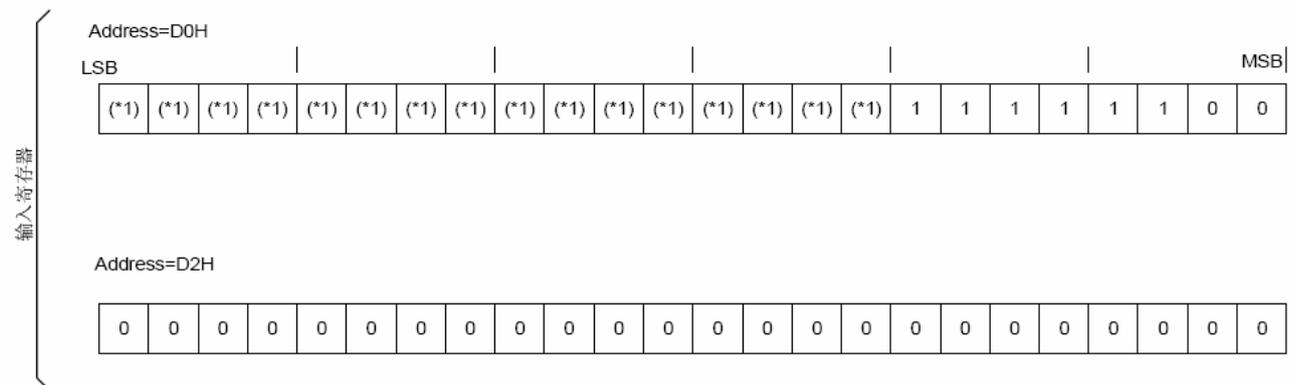
寄存器	地址	24 位内容	位数
输入寄存器 1	D0H	PLL 分频器设置参考频率设置 PLL 输入模式设置晶体振荡器选择	16 4 2 2 总计 24
输入寄存器 2	D2H	通用计数器控制 (包括锁定检测位控制)。I/O 端口可通用计数器转换位 I/O-5/CLK 管脚转换位 DO 管脚控制测试位 I/O 端口控制 (已用作通用计数器输入选择位) 输出数据位	4 3 1 1 1 5 9 总计 24
输出寄存器 1	D1H	通用计数器数字数据未用	22 2 总计 24
输出寄存器 2	D3H	锁定检测数据 I/O 端口控制数据输出数据输入数据 (在输出端口选项中未定义) 未用	5 5 4 5 5 总计 24

当周期信号 (PERIOD) 下降沿时, 输入数据锁存在寄存器1和寄存器2中, 并执行功能。当时钟信号 (CLOCK) 第9个下降沿时, 输出数据并行锁存在输出寄存器。数据管脚连续输出数据。

寄存器配置



加电时，输入寄存器设置如下：



- 注： 1. 数据没有定义
2. 设置测试位为0。

串行传输格式

串行传输格式由8位地址和24位数据位组成（图1），使用地址D0H~D3H。

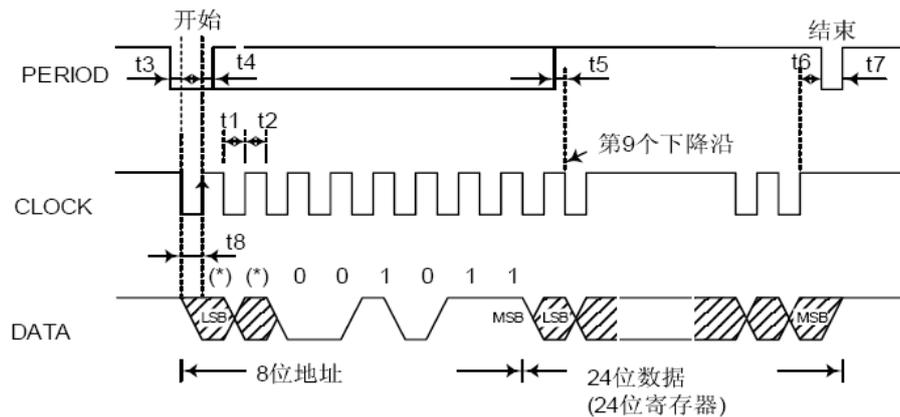


图 1

据传输开始执行，在周期信号位低电平时，时钟信号的下降沿不会超过8个。

当时钟信号上升沿时,由于接收端接收串行数据作为有效数据,因此发送端输出和时钟信号下降沿同步的信号。

为了接收输出寄存器(D1H, D3H) 的串行数据，在8位地址输出后但是下一个时钟信号下降沿前，设置串行数据输出为高阻抗。

数据连续接收直到周期信号变为低电平；数据传输在周期信号上升沿前结束。因此数据管脚必须有开漏或三态接口。

注 1. 当电源加电时，一些内部电路的状态不明确。为了设置内部电路状态，在执行规则数据传输前执行一个伪数据传输。

2. 时间 t1~t8 的值如下：t1≥1.0μs t2≥1.0μs t3≥0.3μs t4≥0.3μs t5≥0.3μs t6≥1.0μs t7≥1.0μs t8≥0.3μs

3. *号表示数字是从地址获取的，例如 D*H 。

晶体振荡器管脚 (XT, /XT)

如图2所示，内部操作必须的时钟可以通过在电容间连接一个晶体振荡器得到。使用晶体振荡器选择一个振荡频率， 3.6MHz， 4.5MHz， 7.2MHz 或 10.8MHz ， 和当前使用的振荡器匹配。

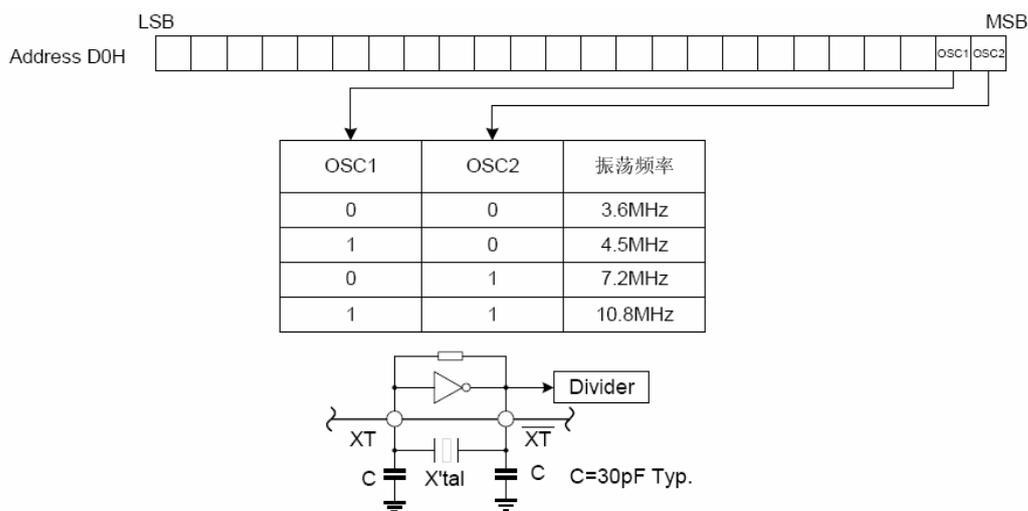


图 2

注：电源加电时，预置为3.6MHz (OSC1=" 0" 并且 OSC2=" 0")。这时晶振不会振荡，因为系统处于待机模式。

参考计数器 (参考频率分频器)

参考计数器单元是由晶体振荡器和计数器组成的。晶体振荡器频率可以选择3.6MHz, 7.2MHz 或 10.8MHz 。最多可以产生15 个参考频率。

1. 设置参考频率

通过R0~R3 设置参考频率。



注:

1. 标着星号的参考频率只能通过4.5MHz 的晶体振荡器产生。
2. 待机模式在位R0, R1, R2 和R3 为“1”时产生。在待机模式, 可编程计数器停止, 并且FM, AM 和IFIN(选择 IFIN 时)处于放大器关闭状态(管脚处于低电平)。这样可以在收音功能关闭时节省电流消耗。DO 管脚在待机模式为高阻抗状态。在待机模式, 可以控制I/O 端口(I/O-5~I/O-6) 和输出端口(OT1~OT4), 晶体振荡器可以关闭和启动。
3. 加电时, 系统设置为待机模式, 这时, 晶体振荡器不会振荡并且I/O 端口设置为输入模式。

可编程计数器

可编程计数器单元由一个1/2 预分频标器, 一个2 种预定分频系数和4 位+12 位可编程二进制计数器组成。

1. 设置可编程计数器

可编程计数器包括16 位分频数据和2 位表明分频模式的数据。

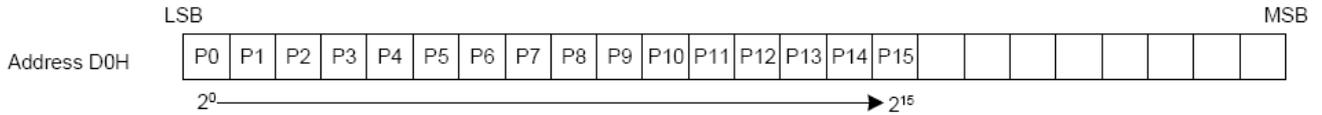
(1) 设置分频模式

FM 和MODE 位用来选择输入管脚和分频模式(脉冲吞咽模式或直接分频模式)。这儿有四种选择, 见下表。根据频带选择其中的一种。



(2) 设置分频器

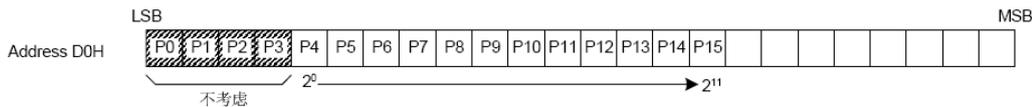
可编程计数器的分频系数通过P0~P15 的二进制位来设定。脉冲吞咽模式(16 位)



分频器设置范围（脉冲吞咽模式）： $n=210H\sim FFFH$ (528~65535)

(注：)在 $2 \times 1 +$ 脉冲吞咽模式，真正的分频系数是 可编程计数器设置值的两倍。

直接分频模式(12 位)



分频器设置范围（直接分频模式）： $n=10H\sim FFFH$ (16~4095)

在直接分频模式，数据 $p_0\sim p_3$ 不必考虑，位 p_4 是最低有效字节 LSB。

2. 预定分频器和可编程计数器 电路结构

(1) 脉冲吞咽模式电路结构

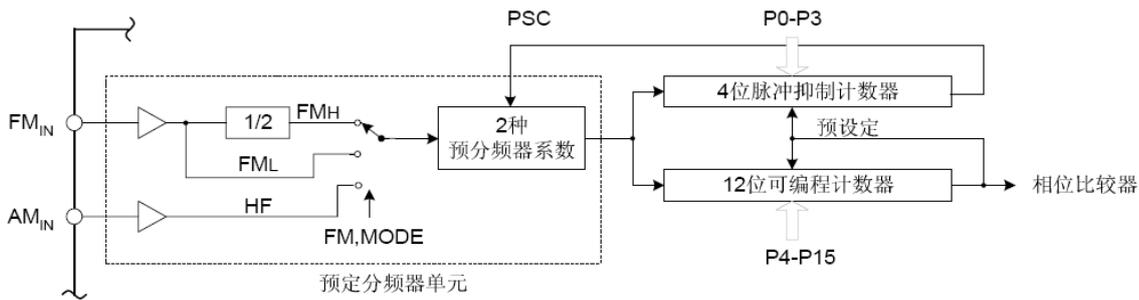


图 3

这个电路是由有一个 2 种系数的预定分频器，一个 4 位的swallow 计数器和一个 12 位的可编程计数器。在 $FMIN$ ($FMIN$ 模式)期间，前面增加一个 $1/2$ 预定分频器。

(2) 直接分频模式电路结构

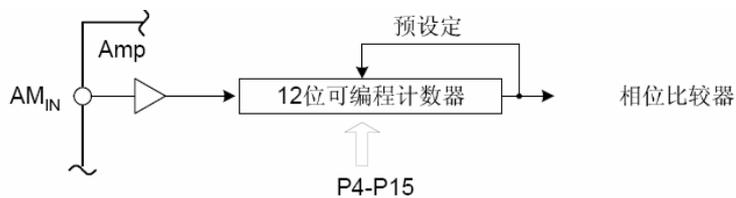


图 4

在直接分频模式，预定分频器单元旁路，并使用 12 位的可编程计数器。

(3) FM_{IN} 和 AM_{IN} 都有内置的放大器，数据通过电容耦合输入。 $FMIN$ 和 $AMIN$ 在低幅下操作。

通用计数器

通用计数器是一个 20 位的计数器，可以用来计数 AM/FM 频带的中频频率(IF)并在自动搜索调谐时检测自动停止信号。通用计数器管脚也可以用作 I/O 端口。

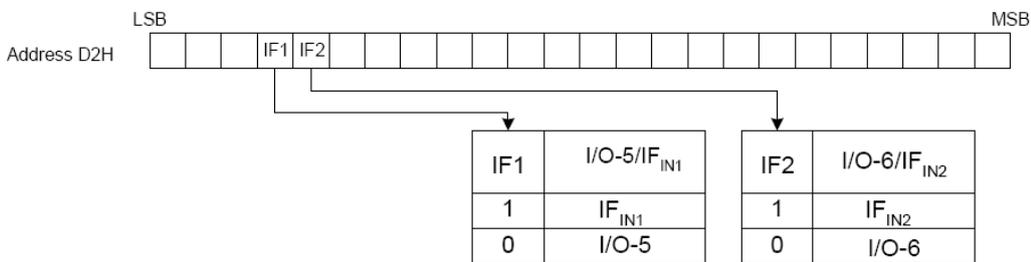
1. 通用计数器控制位

(1) 位 *G0* 和 *G1* ... 用来选择通用计数器门限时间。

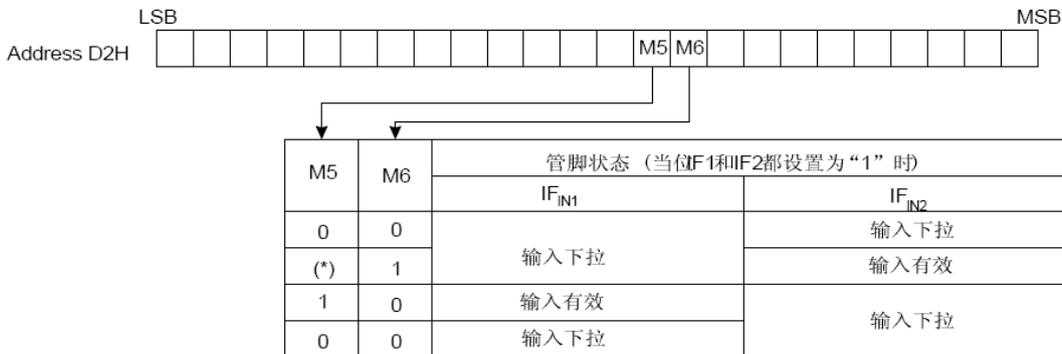


(2) 位 *SC*, *IF1* 和 *IF2* ... *I/O* 端口和通用计数器转换位。

(*) 下列管脚的功能通过数据转换。



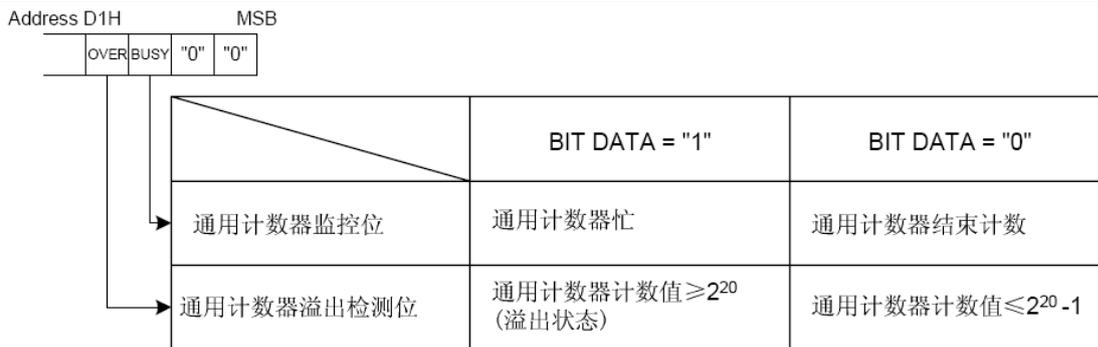
(3) 位 *M5* 设置管脚 *I/O-5/IFIN1* 状态; *M6* 设置管脚 *I/O-6/IFIN2* 状态。这些操作在位 *SC*, *IF1* 和 *IF2* 都设置为“1”时有效。



(4) 位 *f0~f19* ... 通用计数器的结果可以从输出寄存器 (*D1H*) 中以二进制的形式读取。



(5) *OVER* 和 *BUSY* 位 ... 检测通用计数器的操作状态



注：当使用通用计数器时，在参考计数器的内容(f0~f19)前，确定BUSY位为“0”（计数结束），并且OVER位“0”（通用计数器数据正常）。

(6) *START* 位...当设置为“1”时，通用计数器复位,并且重新计数。



2. 通用计数器电路结构

通用计数器是由输入放大器，一个门限时间控制电路和一个20位的二进制计数器组成。

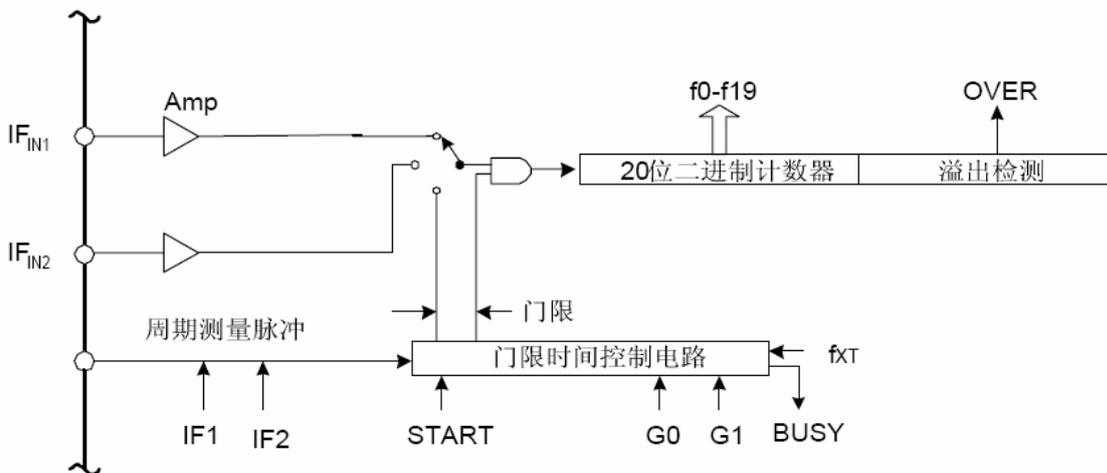
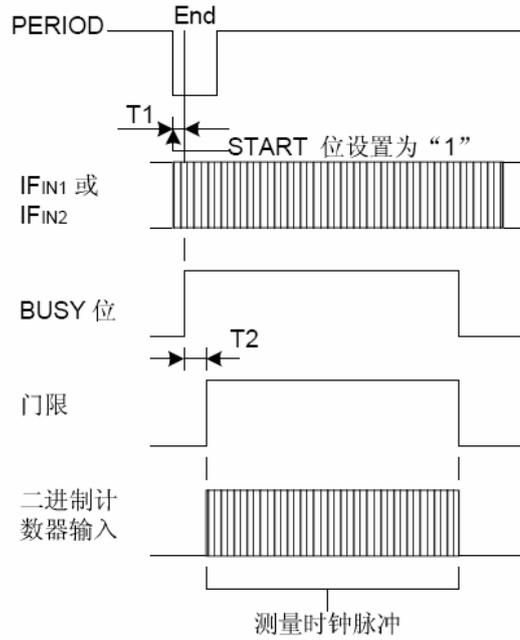


图 5

3. 通用计数器测量时序图



频率测量时序图

$$0 < T1 \leq 0.25(\mu s), 0 < T2 \leq 1 (ms)$$

注1. IF_{IN1} 和 IF_{IN2} 输入内置放大器。数据通过耦合电容输入。 FM_{IN} 和 AM_{IN} 在低幅下操作。

通用I/O端口

这个电路还有一个重要特点是通用输出和输入/输出端口通过串行端口控制。

输入/输出形式	端口	输入/输出结构
输出端口	专用：3个端口 最大：4个端口(一个为CMOS输出)	N沟道开漏输出
I/O端口	最大：2个端口	CMOS输入/输出

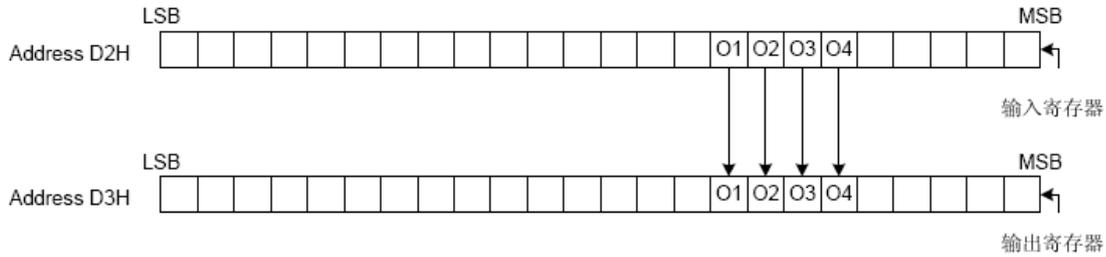
1. 通用输出端口 (OT-1~OT-4)

管脚OT-1~OT-4是专用的输出端口，用来控制信号输出。这些管脚是N沟道开漏输出，关闭耐压是12V。输入寄存器(D2H)位O1~O4的数据从相应的OT-1~OT-4输出端口并行输出。在CSC9256中，没有并行输出端口OT-4，但是可以通过设置输入寄存器(D2H)CLK(O4C)位为“1”把管脚DO2转换为输出端口OT-4(CMOS输出)。输入寄存器(D2H)位O1~O4的数据也可以从DATA管脚读取，作为输出寄存器(D3H)的串行数据O1~O4。

(1) CSC9256

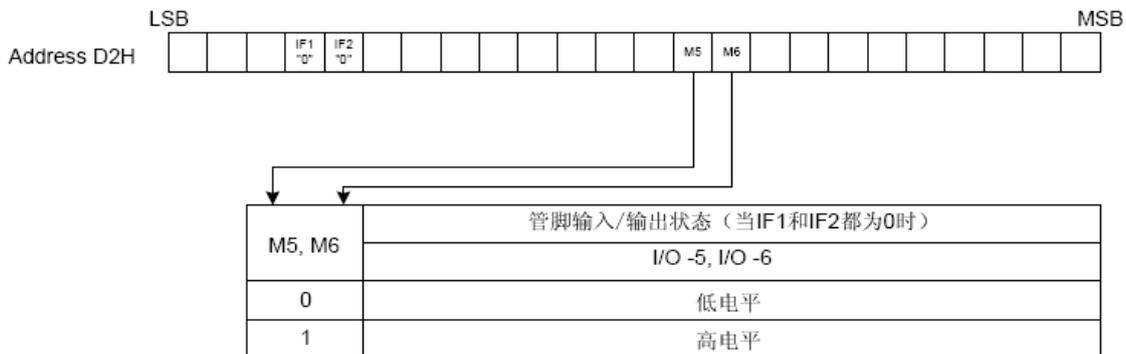


(2) 输出寄存器.....输入寄存器位O1~O4 的数据可以作为输出寄存(D3H)的串行数据O1~O4 读取。



2. 通用I/O端口 (I/O-5~I/O-6)

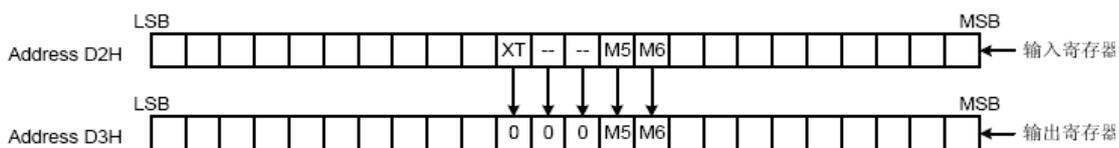
管脚I/O-5~ I/O-6是通用I/O端口，用来控制信号输入和输出。这些管脚配置为 CMOS 输入和输出。这些I/O端口通过输入寄存器(D2H)位M5, M6设置为输入或输出。通过设置位M5~M6为“0”设置这些管脚为输入模式。从I/O-5~I/O-6并行输入的数据在串行时钟信号的第9个下降沿时锁存在内部寄存器中。这些数据可以从DATA 管脚作为串行数据I5~I6读取。输入寄存器(D2H)位O5~O6的数据从他们相应的管脚I/O-5~I/O-6 并行输出。当位SC, IF1, IF2和CLK都设置为“0”时，这些操作有效。



设置输出端口数据



输出寄存器.....输入寄存器 (D2H) 的位M5~M6可以作为输出寄存器 (D3H) 的串行输出数据M5~M6



如上图所示，DO输出时序图和典型低通滤波器图，通过连接FET和晶体管形成复合晶体管。上图中的滤波器电路只是一个例子，真正的电路应该根据频带组成和系统所需条件设计。

锁定检测位

锁定检测位在PLL系统中检测锁定状态。这个系统也有一个未锁定检测位，通过比较参考频率和可编程计数器的分频输出，检测参考频率周期，相位的不同。这个系统还有相位误差检测位(PE1~PE3)，可以更精确的检测(0.55 s~ 7.15 s)。

1. 未锁定检测位 (UNLOCK)

这一位通过参考频率周期，相位差来检测。当没有锁定时，也就是参考频率和可编程计数器的分频输出不一样，就设定未锁定F/F。在输入寄存器(D2H)未锁定复位位(RESET)设置为“1”时，未锁定F/F复位。在未锁定F/F复位后，锁定状态可以通过检测输出寄存器(D3H)的未锁定位(UNLOCK)检测锁定状态。

在未锁定F/F复位后，未锁定检测位必须在一个大于参考频率周期消逝的时间间隔后检测。因为参考频率周期输入锁定检测选通未锁定F/F，如果时间间隔太短，就不能检测到正确的锁定状态。因此，输出寄存器(D3H) 由一个锁定允许位(ENABLE)，这个位在输入寄存器(D2H)复位位设置为“1”时复位，并在锁定检测时序中设置为“1”，也就是说，在锁定允许位(ENABLE)为“1”时，能正确检测锁定状态。

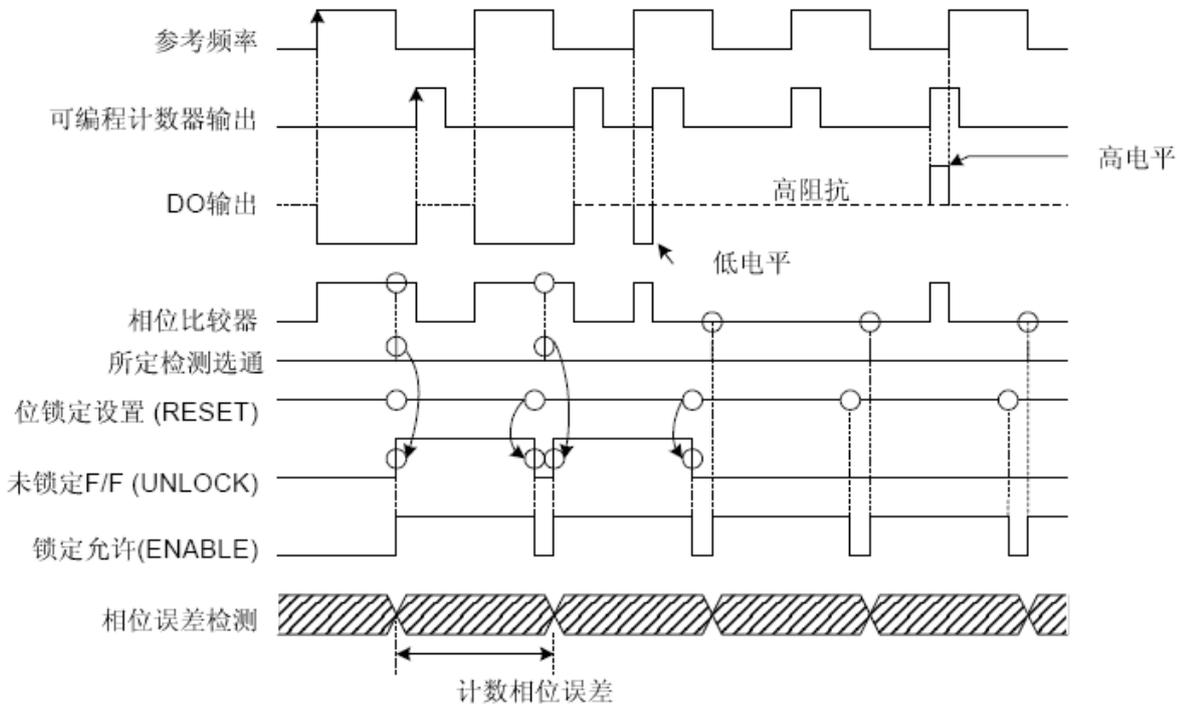
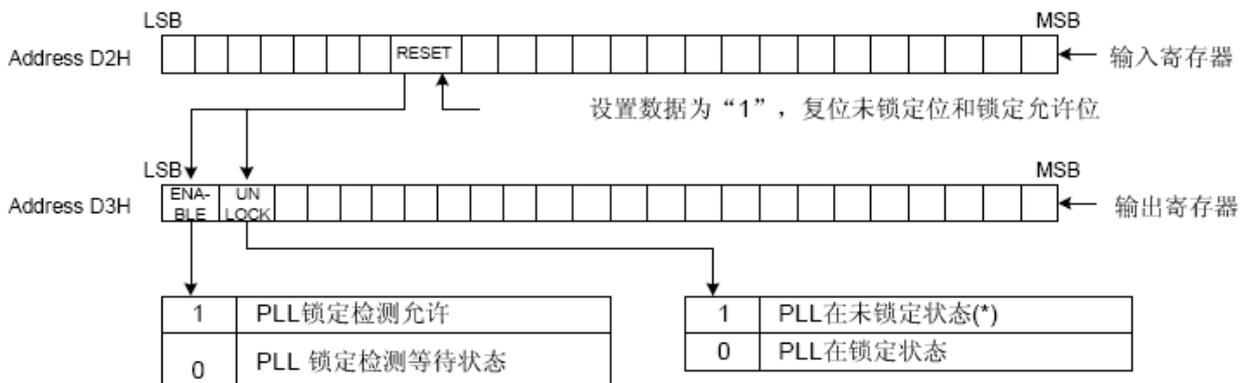
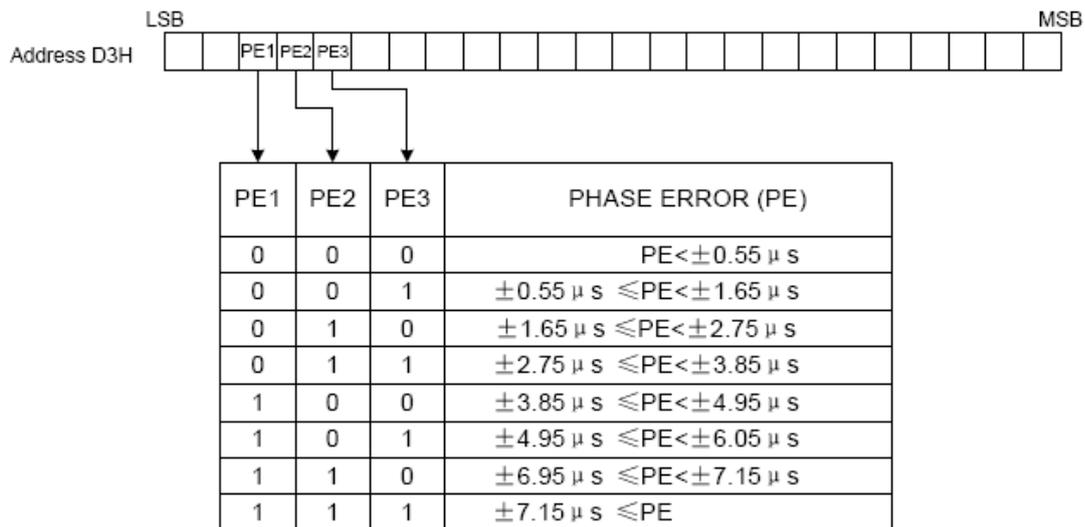


图 10



2. 相位误差检测位 (PE1~PE3)

未锁定位的检测。通过参考频率周期,检测参考频率和可编程计数器分频输出的定位差得到。相位误差检测位 (PE1~PE3) 通过参考频率周期可以得到更精确的相位误差 (0.55s~7.15s)。(如果UNLOCK位设置为“1”, 相对于参考频率的相位差距超过180度, 位PE1~PE3就不能正确检测相位误差了。因此位PE1~PE3 在UNLOCK位设置为“0”时正常检测相位误差。) 当相位相对于参考频率周期的相位在-180度~180度范围, 位 PE1~PE3能正常检测相位误差。



相位误差数据可以从输出寄存器(D3H)中作为串行数据 PE1~PE3 读取。

下面是一个典型的锁定检测操作。表示了从锁定状态到频率改变。(相位误差大于4.95s小于6.05s)

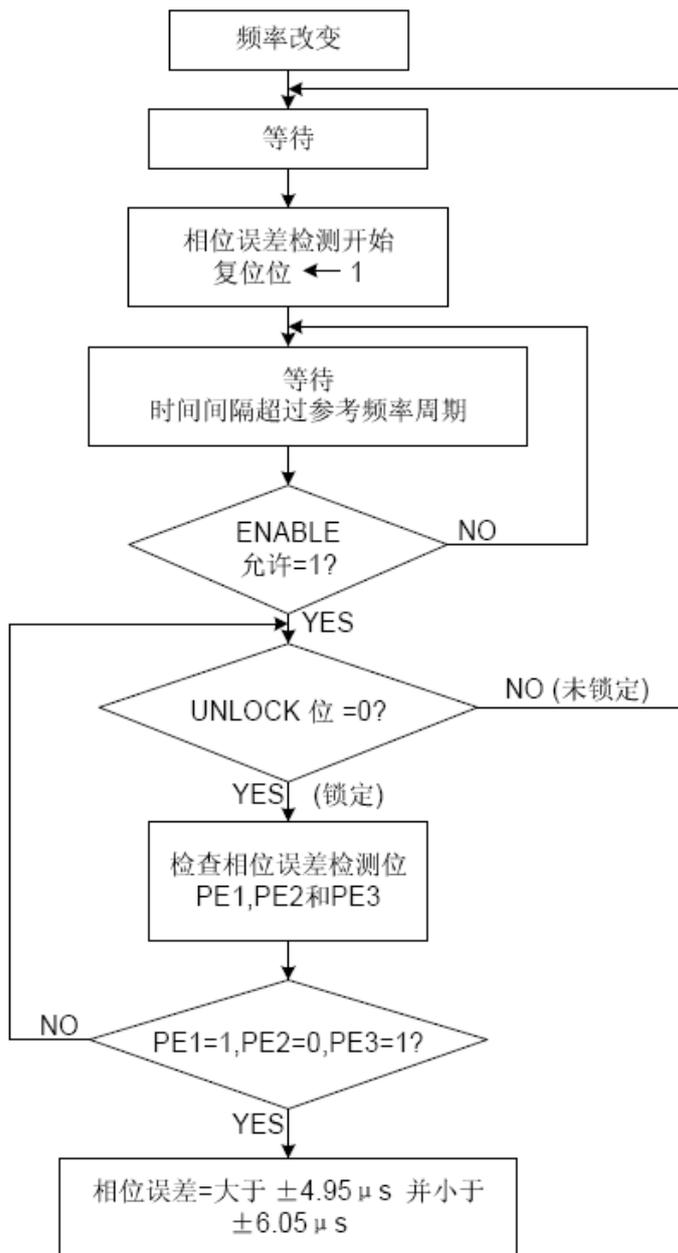


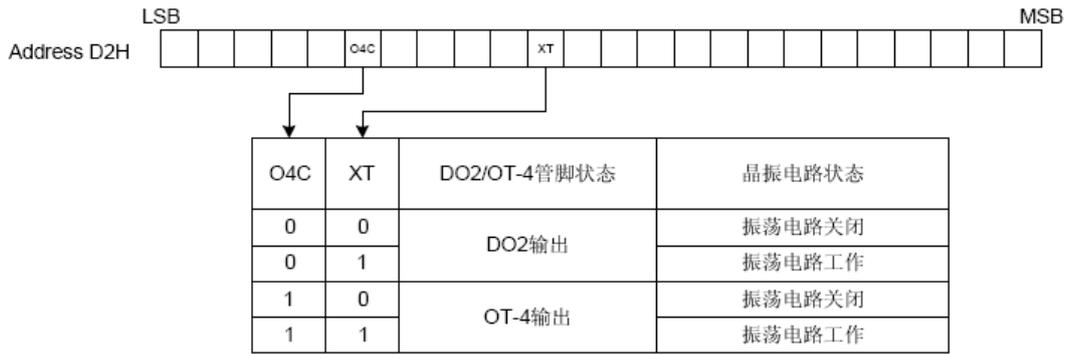
图 11

其它控制位

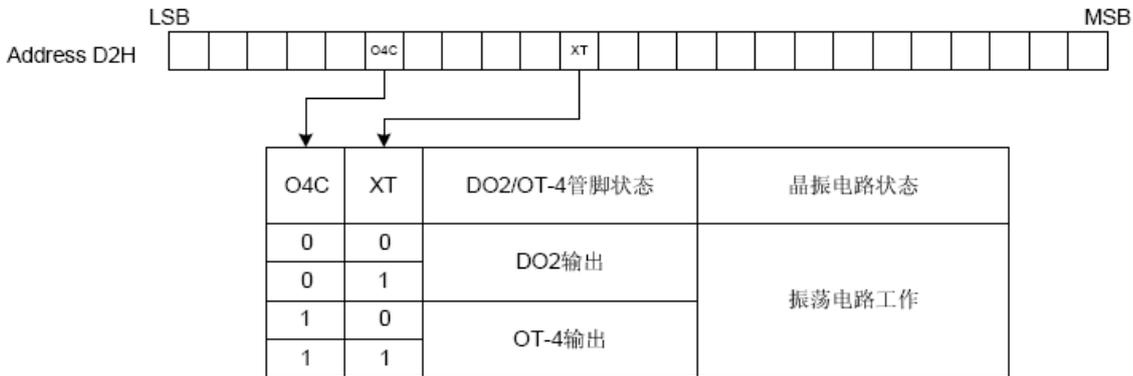
1. O4C 和 XT位.....OT-4/DO2管脚的转换控制位

(1) O4C位控制 DO2管脚和OT-4管脚之间的转换

当输入寄存器(D0H)的位 R0~R3都设置为“1”时（待机模式）



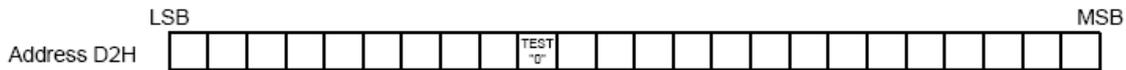
当输入寄存器(D0H)位R0~R3 中的1个设置为“0”时（不在待机模式）



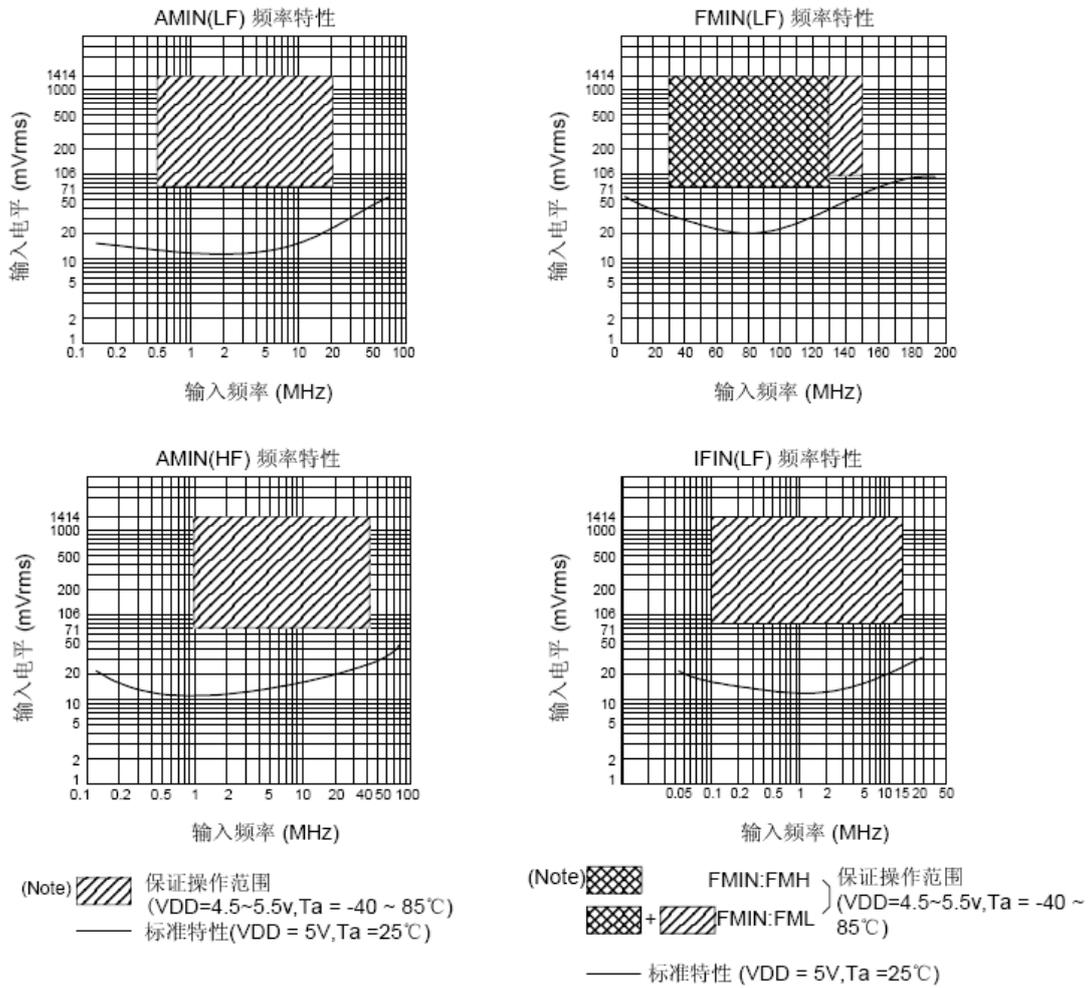
2. DOHZ位.....控制DO2管脚输出状态



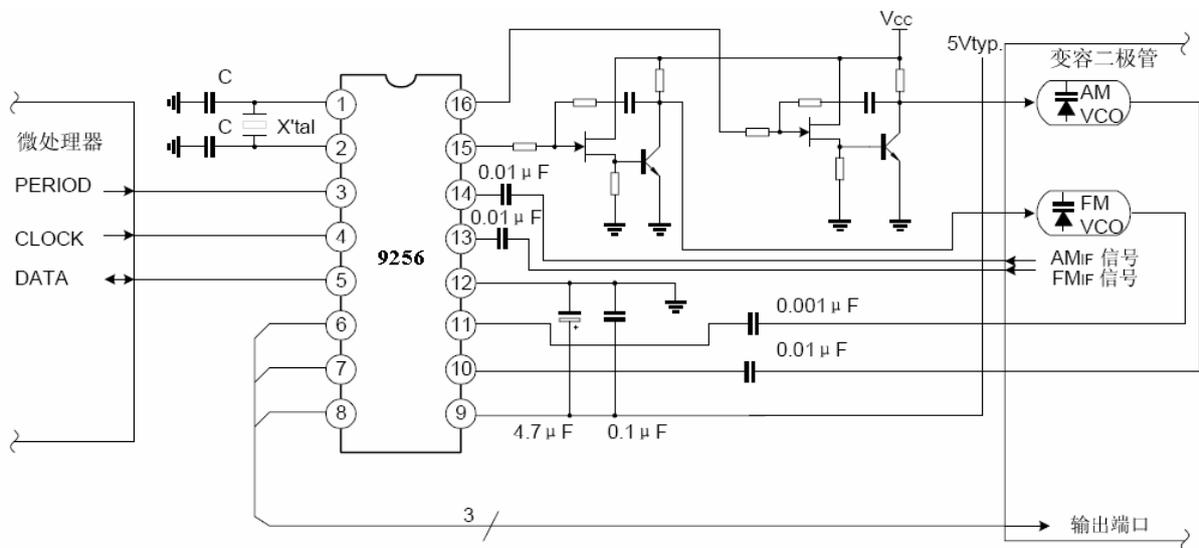
3. TEST位.....数据应该设置为“0”



电气特性曲线图



典型应用电路图



封装外形图

